

CLIPPEDIMAGE= JP409120072A
PAT-NO: JP409120072A
DOCUMENT-IDENTIFIER: JP 09120072 A
TITLE: LIQUID CRYSTAL DISPLAY ELEMENT

PUBN-DATE: May 6, 1997

INVENTOR-INFORMATION:

NAME

KURAUCHI, SHOICHI
MIYAZAKI, DAISUKE
HADO, HITOSHI
AKIYOSHI, MUNEHARU
MIDORIKAWA, TERUYUKI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA ELECTRON ENG CORP
TOSHIBA CORP

COUNTRY

N/A
N/A

APPL-NO: JP07229504
APPL-DATE: September 6, 1995

INT-CL_(IPC): G02F001/1339

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an inexpensive element of a color display type with which the display performance and yield are improved without using plastic beads and the number of stages is decreased.

SOLUTION: Columnar spacers 33 disposed on a counter substrate 30 are pressed onto the wiring layer of an active matrix substrate 10 and more particularly the wiring layer of the lowermost layer 13 to maintain the insulation. In such a case, by constituting the spacers 33 of the laminates of colored layers and in addition, forming resists into shape having overhangs by photolithography, the formation of conductive layers on flanks is averted and, therefore, the free selection of the contact positions is made possible, and further by forming the spacers out of the laminates of the colored layers of the diameters larger toward the upper layers, the processing stages are

decreased. The
wiring layers to be pressed are formable as auxiliary capacitance
lines as
well. The spacers can also be functioned as the conductive color
layers and
electrode transfer members as well.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-120072

(43)公開日 平成9年(1997)5月6日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1339	5 0 0		G 0 2 F 1/1339	5 0 0

審査請求 未請求 請求項の数38 O L (全 17 頁)

(21)出願番号 特願平7-229504

(22)出願日 平成7年(1995)9月6日

(31)優先権主張番号 特願平7-212192

(32)優先日 平7(1995)8月21日

(33)優先権主張国 日本 (J P)

(71)出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 倉内 昭一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 宮崎 大輔

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 弁理士 佐藤 一雄 (外3名)

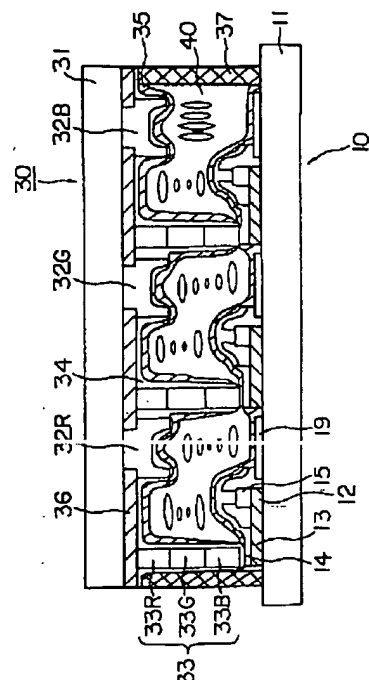
最終頁に続く

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】 プラスティックビーズを使用せずに表示性能および歩留りを向上させ、工程数を減少でき、安価なカラー表示型液晶表示素子を提供する。

【解決手段】 対向基板(30)設けられた柱状スペーサ(33)をアクティブマトリクス基板(10)の配線層、特に最下層配線層(13)上に当接させることにより、絶縁の維持を図る。スペーサ(33)は着色層の積層体で構成される他、フォトリソグラフィによりレジストをオーバーハングを有する形状とすることにより、側面に導電層が形成されないため、当接位置を自由に選択でき、さらに、スペーサを上層ほど径の大きい着色層の積層体とすることにより、工程を減少させることができる。当接される配線層として補助容量線とすることもでき、スペーサを導電性着色層として電極転移部材として機能させることもできる。



【特許請求の範囲】

【請求項1】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチング素子ごとに接続された画素電極と、補助容量線とを配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、および柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが配線層である前記走査線、信号線、補助容量線のいずれかに対応した位置で前記アクティブマトリクス基板に当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項2】前記スペーサが前記配線層のうち、最下層配線層と当接するように前記アクティブマトリクス基板と前記対向基板が対向されたことを特徴とする請求項1に記載の液晶表示素子。

【請求項3】前記最下層配線層上に2層以上の絶縁膜が存在することを特徴とする請求項2に記載の液晶表示素子。

【請求項4】前記スペーサが前記配線層のうち、中間層配線層と当接するように前記アクティブマトリクス基板と前記対向基板が対向されたことを特徴とする請求項1に記載の液晶表示素子。

【請求項5】前記中間配線層の下に他の配線層が存在することを特徴とする請求項4に記載の液晶表示素子。

【請求項6】前記スペーサが前記配線層のうち、最上層配線層と当接するように前記アクティブマトリクス基板と前記対向基板が対向されたことを特徴とする請求項1に記載の液晶表示素子。

【請求項7】前記最上層配線層はその上に少なくとも1層の絶縁膜を伴うものであることを特徴とする請求項6に記載の液晶表示素子。

【請求項8】前記最上層配線層の下に他の配線層が存在することを特徴とする請求項6に記載の液晶表示素子。

【請求項9】前記最上層配線層の下に非配線層が存在することを特徴とする請求項6に記載の液晶表示素子。

【請求項10】前記アクティブマトリクス基板が、ゲートがソース、ドレインよりも上方に設けられた正スタガ型をなしており、前記スペーサが当接する最下層の配線層が信号線であることを特徴とする請求項2に記載の液晶表示素子。

【請求項11】前記アクティブマトリクス基板が、ゲートよりも上方にソース、ドレインが設けられた逆スタガ型をなしており、前記スペーサが当接する最下層の配線層が走査線あるいは補助容量線であることを特徴とする請求項2に記載の液晶表示素子。

【請求項12】前記スペーサが当接する最下層配線層上

でのスペーサ面積の合計が、スイッチング素子の合計面積の20分の1以上2倍以下であることを特徴とする請求項2に記載の液晶表示素子。

【請求項13】前記スペーサが当接する最下層配線層上に存在するスペーサの数が、スイッチング素子の数に対して一次関数の関係にあることを特徴とする請求項2に記載の液晶表示素子。

【請求項14】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチング素子ごとに接続された画素電極とを配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、および柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが前記アクティブマトリクス基板の非画素部の非配線部に当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項15】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチング素子ごとに接続された画素電極とを配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、および柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが前記アクティブマトリクス基板の非画素部と画素部の境界部を含んで当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項16】前記非画素部と画素部の境界領域に存在する画素電極の一部が除去されたことを特徴とする請求項15に記載の液晶表示素子。

【請求項17】前記非画素部と画素部の境界領域に前記スイッチング素子の一部が含まれることを特徴とする請求項15に記載の液晶表示素子。

【請求項18】前記非画素部と画素部の境界領域内のスペーサの当接場所は、画素内でラビングの終端位置であることを特徴とする請求項15に記載の液晶表示素子。

【請求項19】前記非画素部と画素部の境界領域内と当接するスペーサは青色のフィルタ位置に形成されていることを特徴とする請求項15に記載の液晶表示素子。

【請求項20】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチン

グ素子ごとに接続された画素電極と、画素電極との間で補助容量を与える補助容量線と、を配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、および柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが前記補助容量線に対応した位置で前記アクティブマトリクス基板上に当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項21】前記スペーサが導電性材料で形成され、前記アクティブマトリクス基板から前記対向基板に電圧を印加するための電極転移部材をなすことを特徴とする請求項20に記載の液晶表示素子。

【請求項22】前記補助容量線が前記画素電極上に絶縁膜を介して形成されており、前記スペーサは前記補助容量線上に直接当接していることを特徴とする請求項20に記載の液晶表示素子。

【請求項23】前記補助容量線の上に絶縁膜を介して画素電極が形成されたことを特徴とする請求項20に記載の液晶表示素子。

【請求項24】前記補助容量線の上に前記画素電極が形成され、前記補助容量線に対応した位置の前記画素電極の上に絶縁膜が形成され、前記スペーサはこの絶縁膜と当接していることを特徴とする請求項23に記載の液晶表示素子。

【請求項25】前記補助容量線に対応した画素電極部分が除去され、前記スペーサは前記絶縁膜と当接することを特徴とする請求項23に記載の液晶表示素子。

【請求項26】前記補助容量線に対応した画素電極部分およびその下の絶縁膜部分が除去され、前記スペーサは前記補助容量線と当接することを特徴とする請求項23に記載の液晶表示素子。

【請求項27】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたとスイッチング素子と、このスイッチング素子ごとに接続された画素電極とを配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、およびオーバーハングを有するように形成された柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが前記アクティブマトリクス基板の表面の一部と接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項28】前記スペーサがその径が先端から根元まで単調に減少する逆テーパ状をなすことを特徴とする請求項27に記載の液晶表示素子。

【請求項29】前記スペーサが下層よりも上層が径が大きい階段状をなすことを特徴とする請求項27に記載の液晶表示素子。

【請求項30】前記スペーサの外周に前記スペーサの高さより低く、かつ前記スペーサと同心に配置された円筒壁体をさらに備えた請求項27に記載の液晶表示の素子。

【請求項31】前記柱状スペーサに対して配向膜の配向処理方向の進入側の位置に前記スペーサの高さより低い柱状障壁を備えたことを特徴とする請求項27に記載の液晶表示素子。

【請求項32】前記柱状突起をなすスペーサが、前記着色層を少なくとも2色以上積層して形成されたものであることを特徴とする請求項1ないし31のいずれかに記載の液晶表示素子。

【請求項33】前記柱状突起をなすスペーサが、フォトリソグラフィ法で形成され、表面に電極を有するレジストであることを特徴とする請求項1ないし31のいずれかに記載の液晶表示素子。

【請求項34】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたとスイッチング素子と、このスイッチング素子ごとに接続された画素電極とを配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、および前記着色層をオーバーハングを有するように少なくとも2色以上積層して形成された柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが前記アクティブマトリクス基板の最下層の配線層に当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項35】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチング素子ごとに接続され、その上に導電性を有する着色層よりなるカラーフィルタが形成された画素電極と、配設したアクティブマトリクス基板と、

一主面上に共通電極および前記導電性着色層を少なくとも2色以上積層してなる柱状突起をなすスペーサとを有する対向基板とを備え、

前記スペーサが前記アクティブマトリクス基板の最上層を除く配線層に対応した位置で当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項36】一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び

前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチング素子ごとに接続された画素電極とを配設したアクティブマトリクス基板と、

一主面上に共通電極、着色層よりなるカラーフィルタ、および柱状突起をなすとともに絶縁膜で覆われたスペーサとを有する対向基板とを備え、

前記スペーサが前記アクティブマトリクス基板の非画素部の配線に接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子。

【請求項37】前記スペーサが、先端から根元にかけてその径が連続的もしくは断続的に漸減する形状を有し、スペーサ先端に電極が形成され、さらにこれら全体が絶縁膜で覆われていることを特徴とする請求項36に記載の液晶表示素子。

【請求項38】前記スペーサが、先端から根元にかけてその径が連続的もしくは断続的に漸減する形状を有し、スペーサ全体が絶縁膜で覆われ、先端に電極が形成されたことを特徴とする請求項36に記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は液晶表示素子に係り、表示性能が良く、歩留りが高く、工程数の少ない液晶表示素子に関する。

【0002】

【従来の技術】現在、一般的に用いられている液晶表示素子は、電極を有する2枚のガラス基板を対向させて、その2枚の基板の周囲が液晶封入口を除いて接着剤で固定され、2枚の基板間に液晶が挟持され、液晶封入口が封止剤で封止された構成となっている。この2枚の基板間の距離を一定に保つためのスペーサとして粒径の均一なプラスチックビーズ等を基板間に散在させている。

【0003】カラー表示用の液晶表示素子は2枚のガラス基板の内1枚にRGBの着色層のついたカラーフィルタが形成してある。例えば、単純マトリクス駆動のカラー型ドットマトリクス液晶表示素子においては、横

(Y)方向に帯状にパターンニングされたY電極を有するY基板と縦(X)方向に帯状にパターンニングされたX電極の下に着色層を有するX基板とを、Y電極とX電極がほぼ直交するように対向設置し、その間に液晶組成物を挟持した構成を持っている。液晶表示素子の表示方式としては、例えばTN(Twisted Nematic)形、STN(Super Twisted Nematic)形、GH(Guest Host)形、あるいはECB(Electrically Controlled Birefringence)形や強誘電性液晶などが用いられる。封止剤としては、例えば熱または紫外線硬化型のアクリル系またはエポキシ系の接着剤などが用いられる。

【0004】また、カラー型アクティブマトリクス駆動液晶表示素子においては、スイッチング素子、例えばア

モルファスシリコン(a-Si)を半導体層とした薄膜トランジスタ(TFT)とそれに接続された画素電極と信号線電極、ゲート電極が形成されたアクティブマトリクス基板であるTFTアレイ基板とそれに対向設置された対向電極を有し、RGBカラーフィルタを対向基板上に形成し、アクティブマトリクス基板上から対向基板へ電圧を印加する電極転移部材(トランスファー)として銀ペースト等を画面周辺部に配置し、この電極転移材で2枚の基板を電気的に接続し、この2枚の間に液晶組成物を挟持した構成をしている。さらに、この2枚の両側に偏光板を挟持し、この偏光板光をカラー画像を表示する際の表示シャッタとしている。

【0005】

【発明が解決しようとする課題】しかしながら、プラスチックビーズ等をスペーサとして用いるこれらの液晶表示素子では、2枚の基板間に散在させたスペーサ周辺の液晶の配向が乱れ、スペーサ周辺部から光が漏れコントラストが低下してしまうという問題がある。また、スペーサを均一に分散させることは困難であり、スペーサを基板上に散在させる工程でスペーサが不均一に配置され、表示不良となり歩留りの低下を招いていた。

【0006】このため、プラスチックビーズ等を使用しない液晶表示素子を実現するため、TFT部にカラーフィルタの複数の着色層を積層して柱状スペーサを形成するようにしたものが提案されている。

【0007】しかしながら、この場合はTFT部に圧力が加わるため、素子の信頼性上問題がある他、TFTの表面は凹凸が多いために基板間距離を一定に保つことが困難であるという問題がある。

【0008】また、対向電極であるITO(Indium Tin Oxide)膜が柱状スペーサの頂部、側部にも被膜されるためにこのスペーサが上層配線、画素電極、信号線電極、ゲート電極等に当たることによって、不必要な電氣的容量が発生して電圧波形のなまりや遅延を招いて所望の表示特性が得られなかったり、電氣的短絡が発生して表示不良を招くという問題があった。

【0009】さらに、電極転移部材を画面周辺部に配設する関係上、液晶表示素子の非表示領域の面積を減少させるのは困難であった。

【0010】本発明は、上記問題を解決しようとするものであり、表示性能が良く、歩留りが高く、工程数の少なく、安価なカラー表示型液晶表示素子を提供する事を目的とする。

【0011】

【課題を解決するための手段】第1の解決手段は、一主面上に互いに交差するよう配列された複数の走査線および複数の信号線と、前記走査線及び前記信号線の交差部毎に形成され、当該走査線および信号線に接続されたスイッチング素子と、このスイッチング素子ごとに接続された画素電極と、補助容量線とを配設したアクティブマ

トリクス基板と、一主面上に共通電極、着色層よりなるカラーフィルタ、および柱状突起をなすスペーサとを有する対向基板とを備え、前記スペーサが配線層である前記走査線、信号線、補助容量線のいずれかに対応した位置で前記アクティブマトリクス基板に当接するように前記アクティブマトリクス基板および前記対向基板の主面どうしを対向させ、これらの間に液晶組成物を挟持した液晶表示素子にある。

【0012】このプラスチックビーズをスペーサとして用いる必要がなく、表示性能の向上、歩留りの向上、工程の簡略化、コストダウンを達成できるとともに、柱状スペーサの当接によっても絶縁性の劣化を招きにくい場所でスペーサを当接させているので高い信頼性を維持できる。

【0013】スペーサを配線層のうち、最下層配線層と当接するようにした場合には、最下層の配線層上に2層以上の絶縁膜が存在することが多く、絶縁性の維持が容易に達成される。

【0014】スペーサを配線層のうち、中間層配線層と当接するようにした場合には、最下層配線層に対応して当接するのと比較して高さがあるので、スペーサの高さを低くでき、製造上有利となる。さらに、中間層配線層の配線層上に2層以上の絶縁膜が存在することが多く、絶縁性の維持が容易に達成される。

【0015】スペーサを配線層のうち、最上層配線層と当接するようにした場合には、スペーサの高さを低くできるため、製造上有利となる。

【0016】最上層配線層上に少なくとも1層の絶縁膜を伴うと絶縁の維持上有利である。

【0017】このような構成は、ゲートがソース、ドレインよりも上方に設けられた正スタガ型をなしており、スペーサが当接する最下層の配線層が信号線である場合、ゲートよりも上方にソース、ドレインが設けられた逆スタガ型をなしており、スペーサが当接する最下層の配線層が走査線あるいは補助容量線である場合の双方に適用される。

【0018】スペーサが当接する配線層上でのスペーサ面積の合計が、当該走査線に形成されたアクティブマトリクスのトランジスタの合計面積の2倍以下であり、また、スペーサが当接する配線層上に存在するスペーサの数が、当該走査線に形成されたアクティブマトリクスのトランジスタの数に対して一次関数の関係にあるような場合、最も良好な結果が得られる。

【0019】第2の解決手段は、対向基板の柱状スペーサをアクティブマトリクス基板の非画素部の非配線部に当接するようにしたものであり、ショートの問題を完全になくすることができる。

【0020】第3の解決手段は、対向基板の柱状スペーサをアクティブマトリクス基板の非画素部と画素部の境界部を含んで当接するようにしたものであり、スペーサ

の当接場所が画素内でラビングの終端位置であるとラビングの影の影響がその画素および他の画素に及びにくい。

【0021】非画素部と画素部の境界領域内と当接するスペーサは青色のフィルタ位置に形成されていると最も視覚的な影響を少なくできる。

【0022】第4の解決手段は、対向基板の柱状スペーサをアクティブマトリクス基板の補助容量線に対応した位置で当接させるようにしたものであり、絶縁膜が破壊されても影響が少ない。

【0023】むしろ、スペーサを導電性材料で形成することによって、アクティブマトリクス基板から対向基板に電圧を印加するための電極転移部材として用いることができる。

【0024】補助容量線は画素電極上に絶縁膜を介して形成され、あるいは補助容量線の上に絶縁膜を介して画素電極が形成されるようにしてもよい。この場合、画素電極の上に絶縁膜が形成されてこの上にスペーサが当接するようにすれば、絶縁を良好に保つことができ、画素電極との干渉を防止するには画素電極を除去すればよい。

【0025】また、本発明の第5の解決手段によれば、対向基板にはスペーサをオーバーハングを有する形状に形成する。このようなオーバーハングを有する形状は、フォトリソグラフィによりレジストの成形成あるいはカラーフィルタ形成時に柱状の着色層を2層以上重ねて作成し、あるいは下層の柱の太さを上層より小さくすることにより実現できる。

【0026】このような構成では柱状スペーサを開口部を避けて形成することができるため、スペーサからの光漏れはなくなり、かつスペーサの断面形状がオーバーハングを有する形状となるため、スペーサ側面への導電膜形成が防止され、スペーサの当接場所を問わず、短絡や不要な寄生容量を発生しない。

【0027】さらに、このスペーサが同様の作用を実現できるばかりかスペーサ形成工程を省略できる。

【0028】また、オーバーハングを有する柱状スペーサの外周に柱状スペーサの高さより低い同心に配置された円筒状壁体を設けることでスペーサ側面への導電膜の形成を妨げることができ、柱状スペーサに対して配向膜の配向処理方向の進入側の位置に前記柱状スペーサの高さより低い柱状障壁を設けることでラビングに対する信頼性を維持できる。

【0029】本発明の第6の解決手段では、オーバーハングを有する積層着色層によるスペーサをアクティブマトリクス基板の最下層配線層に当接させており、第1の解決手段と第5の解決手段とを組み合わせた場合に相当する。

【0030】第7の解決手段は、アクティブマトリクス基板側にカラーフィルタを形成したものにスペーサを当

接させるようにしたものである。

【0031】第8の解決手段は、スペーサ自体を絶縁型としたもので、良好な絶縁を保つことが可能となる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態のいくつかを詳述する。

【0033】図1は本発明による実施の一形態にかかるアクティブマトリクス液晶素子の断面図である。この液晶表示素子は、アクティブマトリクス基板10と対向基板30とが対向配置され、それらの間に液晶組成物40が封入されている。

【0034】図2はアクティブマトリクス基板10の構成を詳しく示す断面図であり、このアクティブマトリクス基板はTFT部が逆スタガ型と称される構造となっている。ガラス基板11の主面側のTFT部にはゲート電極12が、配線部には走査線13がそれぞれ配設され、これらの上には絶縁膜14が堆積されている。この絶縁膜14上でゲート電極12の上方にはアモルファスシリコンよりなる半導体膜15が形成され、この半導体膜15および絶縁膜14にまたがるようにソース16およびドレイン17が半導体膜15の中央部に所定の距離を隔てて対向するように形成されている。ドレイン17には信号線18が連結されて形成され、ソース16には画素電極19が連結形成されている。そして、TFT部および配線部の全面に保護膜20が形成され、画素部の全面には配向膜21が形成されている。なお、図1においては図2と同じ要素には同じ参照番号を付してあるが、発明をよりわかりやすくするため、一部形状を変えてある。

【0035】再び図1を参照すると、上側の対向基板30は、ガラス基板31上に画素位置に合わせて形成された赤、緑、青のカラーフィルタ32R、32G、32Bを有している。また、これらのカラーフィルタ材料が積層され、柱状のスペーサ33が形成されている。このスペーサ33は赤色層33R、緑色層33G、青色層33Bよりなっており、これらはカラーフィルタ32R、32G、32Bに対応するものである。そして全面に透明電極膜34および配向膜35が堆積されている。

【0036】両基板は対向され、対向基板30のスペーサ33はアクティブマトリクス基板10の走査線13に当接するようにされている。図2からわかるように、最下層である走査線の上には2層の絶縁層が存在し、スペーサ33が当接しても絶縁性が損なわれてショート等の欠陥が発生することはきわめて少ない。そして両基板の間には液晶組成物40が充填封入されている。

【0037】次にこのような液晶表示素子の製法を説明する。まず、通常TFTを形成するプロセスと同様に厚さ1.1mmのコーニング社製の#7059ガラス基板11上に成膜とパターンニングを繰り返して、薄膜トランジスタと電極配線をマトリクス状に形成する。ここでは

縦横それぞれ100画素、合計10000画素とアモルファスシリコンTFTアレイを有するアクティブマトリクス基板10を形成するものとする。このアクティブマトリクス基板においては、走査線が最下層に配置されており、その上部には、2層の絶縁膜14、21が形成されている。その後配向膜材料としてAL-1051（日本合成ゴム（株）製）を全面に500オングストロームの厚さで塗布し、ラビング処理を行い、配向膜21を形成する。

【0038】次に対向基板30は次のようにして形成される。ガラス基板31上に、感光性の黒色樹脂をスピナーを用いて塗布し、90℃ 10分の乾燥後、所定のパターン形状のフォトマスクを用いて365nmの波長で、300mJ/cm²の露光量で露光した後、pH11.5のアルカリ水溶液にて現像し、200℃ 60分の焼成を行って膜厚2.0μmの遮光層36を形成する。ついで、赤色の顔料を分散させた紫外線硬化型アクリル樹脂レジストCR-2000（富士ハントテクノロジー（株）製）をスピナーで全面に塗布し、スペーサの形成予定箇所および赤色フィルタ形成予定箇所に光が照射されるようなフォトマスクを用いて365nmの波長で100mJ/cm²照射し、KOHの1%水溶液で10秒間現像し、その部分に赤の着色層を形成する。ここでは、スペーサの配置位置は対向するアクティブマトリクス基板の走査線と相対する場所とし、信号線やTFT、画素電極との重なり部を避けた場所とする。これは、前述したように、アクティブマトリクス基板における最下層である走査線の上には少なくとも2層の絶縁膜が形成されているため、スペーサの当接によって絶縁が損なわれるようなことが極めて少ないためである。

【0039】同様に緑、青の着色層をそれぞれ塗布、露光、現像してスペーサおよびカラーフィルタを形成し、最終的に230℃で1時間焼成する。ここでは緑の着色材料は、CG-2000（富士ハントテクノロジー（株）製）、青の着色層はCB-2000（富士ハントテクノロジー（株）製）を用いる。その後、透明電極34としてITO膜を1500Åの厚さにスパッタ法で成膜し、その上に同様の配向膜材料を形成した後、ラビング処理を行い、配向膜35を形成する。

【0040】その後、対向基板30の配向膜35の周辺に沿って接着剤37を液晶注入口（図示せず）を除いて印刷し、アクティブマトリクス基板から対向電極に電圧を印加するための電極転移剤を接着剤15の周辺の電極転移電極上に形成する。次に両基板の配向膜21、35が対向し、またそれぞれのラビング方向が90度となるよう基板10、30を配置し、接着剤を加熱硬化させ基板10、30を貼り合わせる。次に通常の方法により注入口より液晶組成物40として、ZLI-1565

（E・メルク社製）にS811を0.1wt%添加したものを注入し、この後注入口を紫外線硬化樹脂で封止す

る。

【0041】このようにして形成されたカラー表示型アクティブマトリクス液晶表示素子は、プラスチックビーズを用いていないためコントラスト比が高く、質の良い表示が得られ、しかも高い信頼性が得られた。

【0042】この実施の形態において説明され、後続の実施の形態においても適用可能な材料は限定的なものではなく、他のものも使用できる。例えば、遮光層形成のための黒色樹脂として非感光性のものを使用することができ、また、着色層を形成するための着色材料としての染料を分散させたアクリル樹脂として、赤はPic Red 02、緑はPic Green 02、青はPic Blue 02（いずれもブルーワーサイエンス（株）製）を用いても良い。

【0043】なお、この実施の形態ではアクティブマトリクス基板はTFT部が逆スタガ型と称される構造となっていたが、他の形式のアクティブマトリクス基板においても最下層と当接させることにより同様の効果が期待できる。

【0044】図3は正スタガ型と称されるアクティブマトリクス基板50の構造を示す断面図である。ガラス基板51の主面側のTFT部にはソース52、ドレイン53が所定距離を隔てて対向配設されている。これらの間とソース、ドレインの一部にかけてアモルファスシリコンよりなる半導体膜54が形成され、ドレイン17には信号線18が連結されて形成されている。これらの全面には絶縁膜56が堆積されている。先に説明したソース、ドレイン間の上方の絶縁膜56上にはゲート電極57が形成される。また、配線部においては絶縁膜56上に走査線58が形成されている。そして、TFT部および配線部の全面に保護膜59が形成されている。なお、図示されていないが、図2の場合と同様に、画素部の全面には配向膜が形成されている。

【0045】このような正スタガ型アクティブマトリクス基板を用いた場合には、スペーサを当接する位置は最下層である信号線55とする。この場合も信号線55の上には2層の絶縁層が形成されており、スペーサを当接させた場合に絶縁特性が劣化する可能性が最も少ない。

【0046】なお、スペーサが当接する最下層配線層上での面積について検討すると、面積が多いほどスペーサとしての機能を安定に発揮するようになるが、あまり多いと寄生容量が無視できなくなり、印加電圧波形のなまりや遅延を生じ、表示特性を劣化させる。このため、スイッチング素子、例えばトランジスタの合計面積の2倍以下であることが望ましい。しかし、基板間距離を安定に維持するため、スペーサが当接する最下層配線層上の合計面積は、スイッチング素子、例えばトランジスタの合計面積の20分の1以上であることが必要である。なお、ここでスイッチング素子面積とは半導体層の面積をいう。

【0047】また、最下層配線層上に当接するスペーサの数については、スイッチング素子、例えばトランジスタの数に応じた数が必要であること、マトリクスの端部に全体の大きさに応じた一定数が必要であることから、スイッチング素子、例えばトランジスタの数に対して一次関数の関係にあることが必要であることは明らかである。

【0048】以上の実施の形態によれば、スペーサは最下層の配線層に当接するようにしているが、他の層でも良い。そのような実施の形態のいくつかを以下に示す。

【0049】図4は本発明の第2の実施の形態を示すアクティブマトリクス液晶素子の素子断面図である。

【0050】この液晶表示素子は、アクティブマトリクス基板60と対向基板80とが対向配置され、それらの間に液晶組成物40が封入されている構成となっている。

【0051】アクティブマトリクス基板60はTFT部が逆スタガ構造となっており、ガラス基板61の主面側のTFT部にはゲート電極62が配設され、この上には絶縁膜63が堆積されている。この絶縁膜63上でゲート電極62の上方にはアモルファスシリコンよりなる半導体膜64が形成され、この半導体膜64および絶縁膜63にまたがるようにソース65およびドレイン66が半導体膜64の中央部に所定の距離を隔てて対向するように形成されている。ドレイン166にはゲート線や補助容量線などのポリシリコン等である中間配線層67が連結されて形成され、ソース65には画素電極68が連結形成されている。そして、TFT部の全面に絶縁膜69および保護膜70が形成され、画素部の全面には配向膜71が形成されている。図4から明らかなように、ゲート電極配線62は中間配線層67よりも下に位置している。なお、中間配線層は上層配線層に対して中間的に位置する配線層をいい、何が中間層であるかは、場所によって異なるものである。

【0052】また、上側の対向基板80は、ガラス基板81上に画素位置に合わせて形成された赤、緑、青のカラーフィルタ82R、82G、82Bを有している。また、これらのカラーフィルタ材料が積層され、柱状のスペーサ83が形成されている。このスペーサ83は赤色層83R、緑色層83G、青色層83Bよりなっており、これらはカラーフィルタ82R、82G、82Bに対応するものである。そして全面に透明電極膜84および配向膜85が堆積されており、各カラーフィルタ間には遮光膜であるブラックマトリクス86が形成されている。カラーフィルタ82R、82G、82Bは導電性材料で形成されることが望ましい。

【0053】両基板60および80は対向され、接着剤87で固定される。そして両基板の間には液晶組成物40が充填封入されている。

50 【0054】この実施の形態では、対向基板80のスペー

ーサ83はアクティブマトリクス基板60の中間層配線67に当接するようにされている。このように中間層に対応した位置でスペーサを当接させることにより、上にも下にも絶縁膜が多数存在するため、絶縁性の維持が容易であり、不要な容量の発生が起りにくい。また、スペーサの長さも確保しやすいため、歩留りも良好である。

【0055】図5は本発明の第3の実施の形態を示すアクティブマトリクス液晶素子の素子断面図である。

【0056】この実施の形態は絶縁層69の上に最上層である配線層72が設けられている点以外は第2の実施の形態と全く同じであるので、同じ構成要素には同じ参照番号を付け、詳細な説明は省略する。

【0057】図5から明らかなように、スペーサ83は最上層配線層である配線層72に対応した位置で当接するように対向基板上の位置が設定されている。この実施の形態では、スペーサは最上層配線層に対応した位置でアクティブマトリクス基板と当接するようにされるので、スペーサの長さを短くでき、製造が容易になる。図示した構成では、配線層72の上には絶縁層である保護膜が形成されているため、絶縁上の問題は少ない。

【0058】この実施の形態では配線層72の下方に他の配線層67を有しているが、非配線層のみが存在しても良い。

【0059】図6は本発明の第4の実施の形態を示すアクティブマトリクス液晶素子の素子断面図である。

【0060】この液晶表示素子は、アクティブマトリクス基板90と対向基板100とが対向配置され、それらの間に液晶組成物40が封入されている構成となっている。

【0061】アクティブマトリクス基板60はガラス基板91の主面上に画素電極93が存在する画素領域92とTFTが形成された素子部94とが繰り返して形成された構成となっている。

【0062】対向基板100は、ガラス基板101上に画素位置に合わせて形成された赤、緑、青のカラーフィルタ102R、102G、102Bを有している。また、これらのカラーフィルタ材料が積層され、柱状のスペーサ103が形成されている。

【0063】そして、スペーサは画素領域と素子領域の間の非配線領域でアクティブマトリクス基板と当接するようになっている。ただし、このような非画素非配線領域は非常に狭いため、スペーサの直径は3〜4 μ mとする必要がある。

【0064】この実施の形態の場合にはショートの原因は全くなく、高い信頼性を維持することができる。

【0065】図7は本発明の第5の実施の形態を示すアクティブマトリクス液晶素子の素子断面図であり、対向基板に設けられた柱状スペーサをアクティブマトリクス基板の非画素部と画素部の双方わたって当接させるよう

にしたものである。

【0066】この液晶表示素子は、アクティブマトリクス基板90と対向基板110とが対向配置され、それらの間に液晶組成物40が封入されている構成となっている。なお、アクティブマトリクス基板90の構成は図6の場合と全く同じであるので、同じ構成要素には同じ参照番号を付して説明を省略する。

【0067】対向基板110は、ガラス基板111上に画素位置に合わせて形成された赤、緑、青のカラーフィルタ112R、112G、112Bを有している。また、これらのカラーフィルタ材料が積層され、柱状のスペーサ113が形成されている。この柱状スペーサ113は赤および青のカラーフィルタ112Rおよび112Bに連結されて形成されているが、緑色のフィルタ113Gには設けられていない。これは、人間の視覚の性質上、3原色のうちで最も認識しやすい色は緑であるため、欠陥があった場合も最も目立つためである。したがって、スペーサを設ける場合、青のみ、あるいは青と赤の組み合わせが選ばれる。

【0068】なお、スペーサが当接される画素電極の一部を除去し、スペーサが直接画素電極に突き当たらないようにすることにより、ショートの可能性を減少させることができる。

【0069】また、図示されたのは画素部とこれに隣接する非画素部の上にスペーサが当接するものであったが、スペーサの径が大きい場合、スイッチング素子の一部も含むことは差し支えない。

【0070】さらに、スペーサの当接場所は画素部内でのラビング最終位置であると、ラビングの影が隣の画素に及ばず、良好なラビングを行える。

【0071】図8は本発明の第6の実施の形態を示すアクティブマトリクス液晶素子の素子断面図である。

【0072】この液晶表示素子は、アクティブマトリクス基板120と対向基板130とが対向配置され、それらの間に液晶組成物40が封入されている構成となっている。アクティブマトリクス基板120はこれまでの実施の形態と同様にスイッチング素子としてのTFTと画素部が設けられているが、TFTの構成については同じであるため説明を省略する。画素部においては、ガラス基板121上に補助容量線122が形成され、この補助容量線122を含む画素領域全体が絶縁膜123で覆われ、その上に画素電極124が形成されている。そして、補助容量線に対応した位置の画素電極の上には絶縁膜125が形成されている。さらに全体に配向膜126が形成されている。対向基板130は、ガラス基板131上に画素位置に合わせて形成された赤、緑、青のカラーフィルタ132R、132G、132Bを有している。これらのカラーフィルタ間には遮光膜であるブラックマトリクス136が配設されている。また、これらのカラーフィルタ材料が積層され、柱状のスペーサ133

が形成されている。この柱状スペーサ133はそれぞれアクティブマトリクス基板120の補助容量線122に対応する位置に設けられている。

【0073】アクティブマトリクス基板120と対向基板130は対向され、接着剤136で固定される。そして両基板の間には液晶組成物40が充填封入される。

【0074】この実施の形態では、柱状スペーサ133は補助容量線122に対応した位置に設けられるため、柱状スペーサがアクティブマトリクス基板120と強く接触しても素子の信頼性等を損なうことはない。また、絶縁膜125が画素電極上に設けられているため、配向膜126が破壊した場合でも絶縁性を保つことができる。

【0075】図9は本発明の第7の実施の形態を示すアクティブマトリクス液晶素子の素子断面図である。

【0076】この液晶表示素子は、アクティブマトリクス基板140と対向基板130とが対向配置され、それらの間に液晶組成物40が封入されている構成となっている。対向基板130については図8の場合と同じであるので説明を省略する。

【0077】アクティブマトリクス基板140はこれまでの実施の形態と異なり、スイッチング素子としてのTFTは正スタガ型となっている。

【0078】ガラス基板141の主面側のTFT部には走査線および信号線142が、その上にはアモルファスシリコンよりなる半導体膜145が形成され、この半導体膜145を挟んでソース146およびドレイン147が対向するように形成されている。半導体膜145の上にはゲート電極148が形成されている。このようなTFT部の全面には保護膜149が堆積されている。ソース146には画素電極150が連結して形成されている。その中央部にはゲート電極と同じポリシリコンでゲート電極と同一工程で作られた補助容量線152が絶縁膜151を介して形成されている。そして、画素部の全面には配向膜153が形成されている。

【0079】アクティブマトリクス基板140と対向基板130は対向され、接着剤137で固定される。そして両基板の間には液晶組成物40が充填封入される。

【0080】この実施の形態では、薄い配向膜135および153が圧力で破壊すると柱状スペーサ133は補助容量線122に直接当接することになるが、素子の信頼性等を損なうことはない。また、絶縁膜125が画素電極上に設けられているため、配向膜126が破壊した場合でも絶縁性を保つことができる。

【0081】むしろ、スペーサを積極的に導電体として用いることができる。すなわち、カラーフィルタ材をそれぞれ導電性のものとすれば、アクティブマトリクス基板から対向基板電極134へ電圧を補助容量線152を介して印加させるための電極転移部材の役割をスペーサ133に果たさせることができる。この電極転移部材は

通常銀ペーストで作られるが、スペーサが兼用することとすれば、この銀ペーストが不要となる。また電極転移部材は画素画素周辺部に作らざるを得ず、抵抗が大きかったが、この実施の形態のようにスペーサが電極転移部材の役割を果たす場合には、多数の電極転移部材を画素領域内で形成することができるため、抵抗を下げるとともに膜厚も薄くすることができる。

【0082】この実施の態様においても前述した各実施例と同様に、スペーサを非画素領域に形成できるため、スペーサ周辺の光漏れやスペーサの不均一拡散による表示不良を無くすことができ、コントラストや明度等の表示性能が高く、しかも安価な液晶表示素子を提供することができる。

【0083】なお、この実施の形態では画素電極の上に補助容量線を形成しているが、画素電極を除去し、そこに絶縁膜を形成してスペーサを突き当てるようにしても良い。図10および図11はこのような例を示すもので、図8における補助容量線部分の変形例を示す部分拡大断面図である。

【0084】図10においては、スペーサが当接される部分の画素電極124が除去されている。この場合には、画素電極とスペーサ上の電極とのショート効果を防止できる。

【0085】図11においては、スペーサが当接される部分の画素電極124およびその下の絶縁膜123が除去されている。この場合には、スペーサと補助容量線122が当接することになり、画素電極とスペーサ上の電極とのショート効果を効果的に防止できる。この場合、スペーサ上に絶縁膜が形成されていなければ、スペーサを前述した電極転移部材として用いることが可能となる。

【0086】図12～15は本発明の第8の実施の形態を示す素子断面図である。

【0087】この実施の形態では、図1～3で示した第1の実施の形態の場合のようにカラーフィルタ材料を積層して柱状スペーサを形成する点では同じであるが、柱状スペーサの当接位置を問わない構成となっている。

【0088】すなわち、図12を参照すると、下側のアクティブマトリクス基板161の表面上の一画素に対応する領域にはゲート線114、その上に形成されたアモルファスシリコンからなる薄膜トランジスタ162、その左右に信号線163、ITOからなる画素電極165がそれぞれ形成され、これらの上には配向膜166が形成されている。これらは画素単位で繰り返し形成されている。

【0089】上側の対向基板170においては、一画素に対応する領域には、ガラス基板171の表面に遮光層172および着色層173が形成されている。着色層は画素ごとに赤色173R、緑色173G、青色173Bの順に繰り返し形成されている。遮光層の一部には逆テーパを有する円柱状のレジストでなるスペーサ174が

17

形成されており、その先端および各着色層の上には共通電極175および配向膜176が形成されている。このようにスペーサが逆テーパー状となっているため、スパッタリングによる共通電極形成の際、オーバーハングによってスペーサの側面には膜が形成されず、スペーサ自体が導電体とはならない。したがって、このようなスペーサは絶縁性であるから、その当接場所は問われない。したがって、スペーサは遮光膜等の開口部以外の場所に設けることができるため、スペーサからの光漏れはなくなり、また、任意の層に対して当接させることができるため、設計の自由度が増加する。

【0090】次にこのような液晶表示素子の製法を説明する。まず、アクティブマトリクス基板を製作する。通常TFTを形成するプロセスと同様に厚さ1.1mmのコーニング社製の#7059ガラス基板161上に成膜とパターニングを繰り返し、アモルファスシリコンからなる薄膜トランジスタ162と信号線163、ゲート線164、ITOからなる画素電極165を形成したアレイ基板を形成する。その後配向膜材料としてAL-1051（日本合成ゴム（株）製）を全面に500オングストロームの厚さで塗布し、ラビング処理を行い、配向膜66を形成する。

【0091】次に対向基板を準備する。厚さ1.1mmのコーニング社製の#7059ガラス基板171上に、感光性の黒色樹脂CK-2000（富士ハントテクノロジー（株）製）をスピンナーを用いて塗布し、90℃10分の乾燥後、所定のパターン形状のフォトマスクを用いて365nmの波長で、300mJ/cm²の露光量で露光したあとpH11.5のアルカリ水溶液にて現像し、200℃、60分の焼成にて膜厚2.0μmの遮光層172を形成する。ついで、赤色の顔料を分散させた紫外線硬化型アクリル樹脂レジストCR-2000（富士ハントテクノロジー（株）製）をスピンナーにて全面塗布し、赤の着色層形成予定領域のみに光が照射されるようなフォトマスクを介し365nmの波長で100mJ/cm²照射し、KOHの1%水溶液で10秒間現像し、赤の着色層173Rを形成する。同様に緑、青の着色層173G、173Bを繰り返し形成し、それぞれ230℃で1時間焼成する。ここでは緑の着色材料は、CG-2000（富士ハントテクノロジー（株）製）、青の着色材はCB-2000（富士ハントテクノロジー（株）製）を用いた。このときのR、G、Bの膜厚はそれぞれ1.5μmとした。

【0092】次に顔料の入っていない紫外線硬化型アクリル樹脂レジストをスピンナーにて全面塗布し、遮光層上の所望のスペーサ形成位置に光が照射されるようなフォトマスクを用いて365nmの波長で100mJ/cm²照射し、KOHの1%水溶液で30秒間現像し、膜厚4μmのスペーサ174を形成する。このときの現像は強めに行う。これにより、光が充分当たって硬化が充分

18

な先端部の径は予定どおり維持されるが、硬化が必ずしも充分でない根元部では過剰にエッチングされて逆テーパー状となる。その後、透明電極175としてITO膜を1500オングストロームの厚さになるよう、スパッタ法にて成膜し、その上に同様の配向膜材料を形成した後ラビング処理を行い、配向膜176を形成した。スペーサ174は逆テーパー状で上部がオーバーハングした形状となっているため、このスパッタの際、スペーサの側面にはITO膜、配向膜は堆積されない。なお、透明電極形成前にスペーサを形成することでスペーサの密着力が得られる。

【0093】この後、基板171上の配向膜176の周辺に沿って接着剤を注入口（図示せず）を除いて印刷し、アクティブマトリクス基板から対向電極に電圧を印加するための電極転移材（図示せず）を接着剤の周辺の電極転移電極上に形成する。

【0094】次に配向膜176および166が対向し、またそれぞれのラビング方向が90度となるよう基板160および170を配置し、加熱して接着剤を硬化させて貼り合わせる。次に通常の方法により注入口より液晶組成物40として、ZLI-1565（E.メルク社製）にS811を0.1wt%添加したものを注入し、この後注入口を紫外線硬化樹脂で封止することにより完成する。

【0095】このようにして形成したカラー表示型アクティブマトリクス液晶表示素子は、プラスチックビーズ等を用いない形式のものであり、スペーサを任意の層に当接させることができるため、スペーサからの光漏れがなく、かつ短絡はもちろん配線とスペーサ間で発生する寄生容量による印加電圧のなまりや遅延の発生も防ぐことが出来、表示性能の高い、信頼性のある液晶表示素子を得ることができた。

【0096】なお、オーバーハングを有する形状を得るため、この実施の形態では現像で調整したが、露光時に照射光を弱めることにより表面のみ硬化させることによっても実現できる。図13は図12に示した実施の形態の変形例であり、図12と同一の要素には同一の参照番号を付してその詳細な説明を省略する。

【0097】この実施の形態によれば、アクティブマトリクス基板160の構成は全く同じであり、対向基板170'が3つの着色層177R、177G、177Bよりなるスペーサ77となっている点のみが異なる。この3つの着色層177R、177G、177Bは先端の層ほど大径になるように形成されており、全体としてはほぼ逆テーパー状となっている。

【0098】次に対向基板170'の製造について説明する。アクティブマトリクス基板160の製造および全体の組立については図12の場合と全く同じであるので省略する。

【0099】厚さ1.1mmのコーニング社製の#70

59ガラス基板171上に、感光性の黒色樹脂CK-2000（富士ハントテクノロジー（株）製）をスピナーを用いて塗布し、90℃10分の乾燥後、所定のパターン形状のフォトマスクを用いて365nmの波長で、300mJ/cm²の露光量で露光したあとpH11.5のアルカリ水溶液にて現像し、200℃、60分の焼成にて膜厚2.0μmの遮光層172を形成する。ついで、赤色の顔料を分散させた紫外線硬化型アクリル樹脂レジストCR-2000（富士ハントテクノロジー（株）製）をスピナーにて全面塗布し、遮光層上の所望のスペーサ形成位置および着色層173R形成位置に光が照射されるようなフォトマスクを用いて365nmの波長で100mJ/cm²照射し、KOHの1%水溶液で10秒間現像し、赤の着色層173R、177Rを形成する。同様に緑の着色層173G、177G、青の着色層173B、177Bを繰り返し形成し、それぞれ230℃で1時間焼成する。ここでは緑の着色材料は、CG-2000（富士ハントテクノロジー（株）製）、青の着色材はCB-2000（富士ハントテクノロジー（株）製）を用い、各着色層の膜厚は1.5μmである。スペーサ77においては、3色の着色層が積層されるが、各層の直径はR:10μm、G:13μm、B:16μmとして上層に行くほど径を増加させている。その後、透明電極175としてITO膜を1500オングストロームの厚さにスパッタ法にて成膜し、その上に同様の配向膜材料を形成した後ラビング処理を行い、配向膜127を形成する。スペーサ部においては、上層に行くほど径が増加するオーバーハングを有する形状となっているため、ITO膜および配向膜をスパッタにより堆積させる際、側面には付着せずスペーサの絶縁性が保たれる点は図12の場合と同じである。

【0100】このような対向基板を用いて形成された液晶表示素子においても、パルレス型であり、スペーサを任意の層に当接させることができるため、スペーサからの光漏れがなく、かつ短絡はもちろん配線とスペーサ間で発生する寄生容量による印加電圧のなまりや遅延の発生も防ぐことが出来、表示性能の高い、信頼性のある液晶表示素子を得ることができた。

【0101】図14は、図13に示した実施の形態の変形例を示す部分断面図である。この実施の形態では、スペーサ形成時にスペーサ177と同心に2層の円筒壁体178Rおよび178Gを形成している。このような構成では円筒壁体は2色分積層されているのでスペーサよりも低い高さとなっている。この同心円筒壁体は斜め方向からのスパッタ粒子の進入を阻止してスペーサの側壁に成膜が行われることを防止し、かつラビング時にスペーサが脱落することを防止するので、信頼性を向上させるのに有効である。

【0102】図15は、図13に示した実施の形態の変形例を示す部分断面図である。この実施の形態では、柱

状スペーサ177に対して配向膜の配向処理方向の進入側の位置に直径10μmの2層の柱状障壁層179R、179Gが設けられている。

【0103】この実施の形態によれば、配向処理の際、ラビングの外力で柱状スペーサの脱落を防止でき、信頼性を増加することができる。この実施の形態は図6に示したような同心円筒壁体を形成する十分なスペースがない場合にも実施可能である。

【0104】図13に示した実施の形態についてはさらに各種の変形が可能であり、例えば、オーバーハングを有する柱状スペーサを図1に示したように最下層配線層に対応した位置で当接させることができる。

【0105】図16は本発明の第9の実施の形態を示す断面図であり、アクティブマトリクス基板側にカラーフィルタを形成した液晶表示素子に適用したものである。

【0106】このアクティブマトリクス基板180はガラス基板181の主面上にゲート電極182、走査線183、画素電極188がそれぞれ配設され、ゲート電極182および走査線183の上には絶縁膜184が堆積されている。この絶縁膜184上でゲート電極182の上方にはアモルファスシリコンよりなる半導体膜185が形成され、この半導体膜185および絶縁膜184にまたがるようにソース186およびドレイン187が半導体膜185の中央部に所定の距離を隔てて対向するように形成されている。ドレイン186には信号線（図示せず）が連結されて形成され、ソース187と画素電極188とは連結されている。画素電極188上にはカラーフィルタをなす赤色層189R、緑色層189G、青色層189Bが画素ごとに順次形成されている。これらの全面には配向膜190が形成されている。

【0107】上側の対向基板200は、ガラス基板201上に全面に透明電極膜202および配向膜203が堆積されている。また、アクティブマトリクス基板180の走査線182に対応して赤色層204R、緑色層204G、青色層204Bが積層され、柱状のスペーサ204が形成されている。

【0108】そしてこれら両基板は対向され、対向基板200のスペーサ204はアクティブマトリクス基板180の最下層である走査線の上に当接するようにされている。

【0109】画素電極上に通常のカラーフィルタが形成されている構成では、着色層による電圧降下の問題があるが、着色層を導電性とすることにより、電圧降下の問題を解決できる。しかし、このような導電性着色層を積層してスペーサを形成する場合、最下層上にこのスペーサを形成すれば、図1の場合と同様に、最下層である走査線の上には2層の絶縁層が存在し、スペーサ204が当接しても絶縁性が損なわれてショート等の欠陥が発生することはきわめて少ない。そして両基板は接着層191により接着され、両基板の間には液晶組成物40が充

填封入されている。

【0110】なお、このような構成を実現するには、前述した図1とはほぼ同様にアレイ形成を行い、その後、画素電極上に選択的に着色層を形成させればよい。

【0111】また、導電性着色層が電極として十分に機能するならば、画素電極を別に形成する必要はない。

【0112】図17は本発明の第10の実施の形態を示す素子断面図であり、アクティブマトリクス基板160と対向基板210が対向配置され、両基板の間に液晶組成物40が封入された構成となっている。アクティブマトリクス基板160については図12と全く同じであるので、その説明を省略する。

【0113】対向基板210は、ガラス基板211の表面に遮光層212および赤色着色層213R、緑色着色層213G、青色着色層213Bの順に繰り返して形成されている。遮光層212の一部には赤色着色層213R、緑色着色層213G、青色着色層213にそれぞれ対応する層214R、214G、214Bが積層された柱状スペーサ214が形成されている。このスペーサの先端および各着色層の上には共通電極215および配向膜216が形成されている。さらに柱状スペーサの先端部分には絶縁膜217が形成されている。

【0114】図18および図19はスペーサの先端部の構成に着目して描いた簡略断面図であり、図18はスペーサ214の先端面のみに透明電極(ITO膜)215が形成され、スペーサの全面を絶縁膜217で覆った場合を、図19は、スペーサ214全体を絶縁膜217で覆い、先端部のみに透明電極(ITO膜)215が形成された場合を示している。このようにすることにより、スペーサ部材から不純物成分が溶出して素子に対して与える悪影響を抑制することができる。

【0115】以上説明した実施の形態以外にも本発明はさらに種々の変形が可能である。

【0116】例えば、図5に示した着色層を階段状に形成したスペーサを図1に示すような最下層の配線層に当接させるようにした場合には、スペーサ部における絶縁性をさらに高めることができる。

【0117】また、各実施の形態における着色層の形成順は一例でありこれに限定されるものではない。

【0118】さらに、各実施の形態では積層スペーサは3色の着色層を積層しているが、着色層の厚さを適当に選択することにより、2色の着色層の積層で構成することも可能である。また、積層スペーサとしては、積層状態で先端から根元にかけてその径が連続的に減少するものや、特定の層が上から下に径が漸減し、その減少した径が下層で維持されるようなものも含まれる。

【0119】

【発明の効果】以上のように、本発明によれば、カラーフィルタの着色層を重ねてスペーサを形成し、アクティブマトリクス基板の最下層の配線上層に突き当てるよう

にしているため、プラスチックビーズを使用せず、かつスペーサ部の絶縁性が向上することにより、表示性能や歩留りを向上させ、低コストを実現することができる。

【0120】また、本発明によれば、柱状スペーサをフォトリソグラフィ法で開口部以外に設け、スペーサの断面形状をオーバーハングを有する形状としているので、スペーサからの光漏れを無くし、また、スペーサ側面への導電性膜形成を防止することによって、不必要な電気的容量が発生したり、電気的短絡が生じることを防止することができる。

【0121】さらに、このオーバーハングを有するスペーサをカラーフィルター形成時に柱状の着色層を上層が大径となるように形成することにより、スペーサ形成工程を省略できる。

【0122】また、オーバーハングを有する柱状スペーサの外周に前記柱状スペーサの高さより低く同心に配置された円筒状壁体を設けることにより、スペーサ側面への導電膜の付着を防止ことができ、柱状スペーサに対して配向膜の配向処理方向の進入側の位置に前記柱状スペーサの高さより低い柱状障壁を設けることにより、配向膜のラビングによる配向処理の際、ラビングの外力で柱状スペーサの脱落を防止でき信頼性を増加することができる。

【図面の簡単な説明】

【図1】本発明にかかる液晶表示素子の実施の一形態の概略構成を示す素子断面図である。

【図2】図1で使用される逆スタガ型アクティブマトリクス基板の一例の概略構成を示す断面図である。

【図3】図1で使用される正スタガ型アクティブマトリクス基板の一例の概略構成を示す断面図である。

【図4】本発明にかかる液晶表示素子の他の実施の形態を示すもので、中間配線層にスペーサを当接させた実施の形態の概略構成を示す断面図である。

【図5】本発明にかかる液晶表示素子の他の実施の形態を示すもので、最上層配線層にスペーサを当接させた実施の形態の概略構成を示す断面図である。

【図6】本発明にかかる液晶表示素子の他の実施の形態を示すもので、非画素非配線領域でスペーサを当接させた実施の形態の概略構成を示す断面図である。

【図7】本発明にかかる液晶表示素子の他の実施の形態を示すもので、非画素領域と画素領域にまたがってスペーサを当接させた実施の形態の概略構成を示す断面図である。

【図8】本発明にかかる液晶表示素子の他の実施の形態を示すもので、補助容量線に対応してスペーサを当接させるようにした実施の形態の概略構成を示す断面図である。

【図9】本発明にかかる液晶表示素子の他の実施の形態を示すもので、補助容量線に対応してスペーサを当接さ

23

せるようにした実施の形態の概略構成を示す断面図である。

【図10】図9の補助容量線部分の変形例を示す部分拡大断面図である。

【図11】図9の補助容量線部分の変形例を示す部分拡大断面図である。

【図12】本発明にかかる液晶表示素子の他の実施の形態を示すもので、中間配線層にスペーサを当接させた実施の形態の概略構成を示す断面図である。

【図13】本発明にかかる液晶表示素子の他の実施の形態を示すもので、中間配線層にスペーサを当接させた実施の形態の概略構成を示す断面図である。

【図14】図13に示した実施の形態の変形例を示す部分断面図である。

【図15】図13に示した実施の形態の変形例を示す部分断面図である。

【図16】本発明にかかる液晶表示素子の他の実施の形態を示すもので、アクティブマトリクス基板側にカラーフィルタを設けたいわゆるカラーフィルタオンアレイ型に適用した概略構成を示す断面図である。

【図17】本発明にかかる液晶表示素子の他の実施の形態を示すもので、スペーサを絶縁型としたものの概略構成を示す断面図である。

【図18】スペーサ部分部分拡大図である。

【図19】スペーサ部分部分拡大図である。

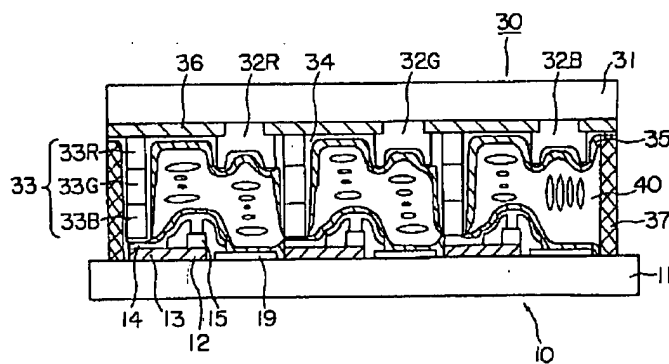
【符号の説明】

10, 50, 60, 90, 120, 140, 160, 1
80 アクティブマトリクス基板

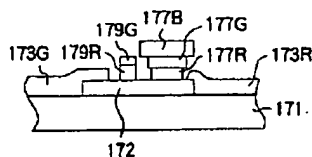
24

11, 31, 51, 61, 71, 81, 91, 100,
111, 121, 131, 141, 161, 171, 1
81, 201, 211 ガラス基板
12, 57, 62, 148, 164, 182 ゲート
13, 58 走査線
15, 54, 64, 185 半導体層
16, 52, 63 ソース
17, 53, 66 ドレイン
18, 55 信号線
19 画素電極
20, 59 保護膜
21, 35, 66, 153, 166, 176, 190,
203, 216 配向膜
30, 80, 100, 110, 130, 170, 20
0, 210 対向基板
32R, 32G, 32B, 33R, 33G, 33B, 8
2R, 82G, 82B, 83R, 83G, 83B, 10
2R, 102G, 102B, 112R, 112G, 11
2B, 132R, 132G, 132B, 133R, 13
3G, 133B, 173R, 173G, 173B, 17
7R, 177G, 177B, 204R, 204G, 20
4B 着色層
33, 74, 83, 103, 113, 133 スペーサ
34, 175, 202, 215 透明電極
36, 86, 103, 136, 172 遮光膜
40 液晶組成物
122, 152, 183 補助容量線

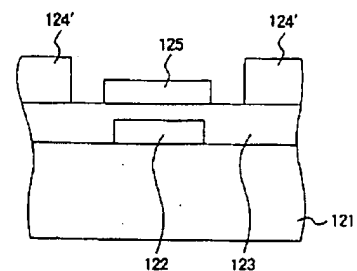
【図1】



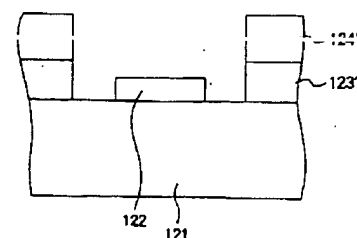
【図15】



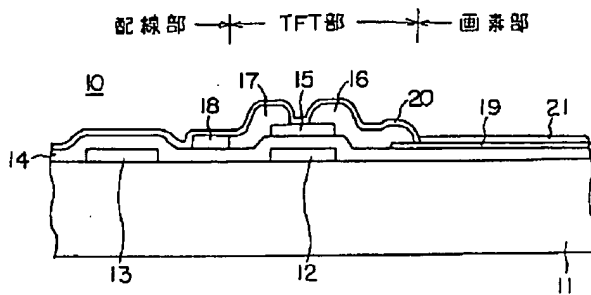
【図10】



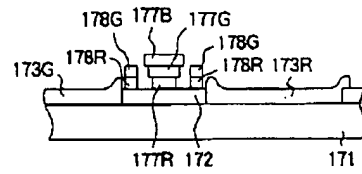
【図11】



【図2】

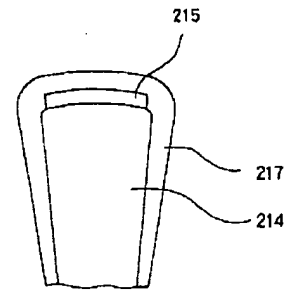
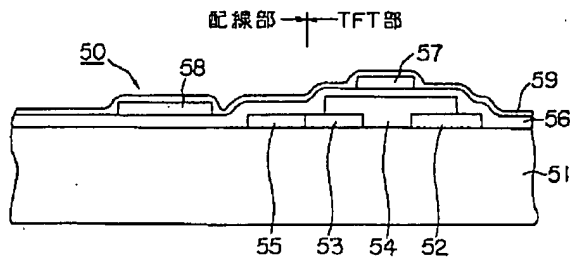


【図14】



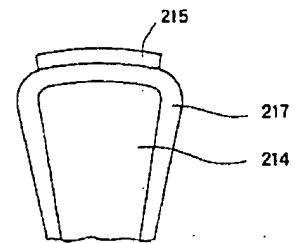
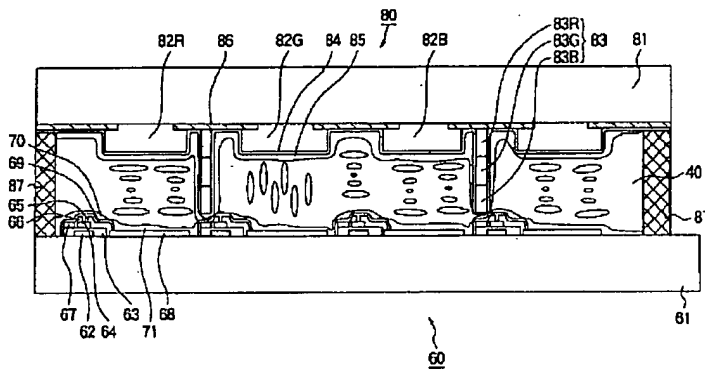
【図18】

【図3】

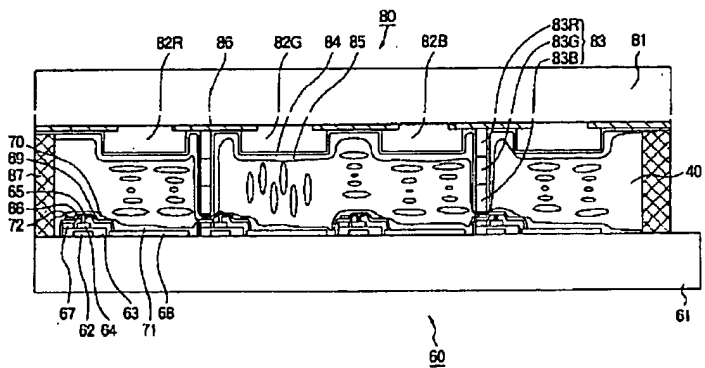


【図19】

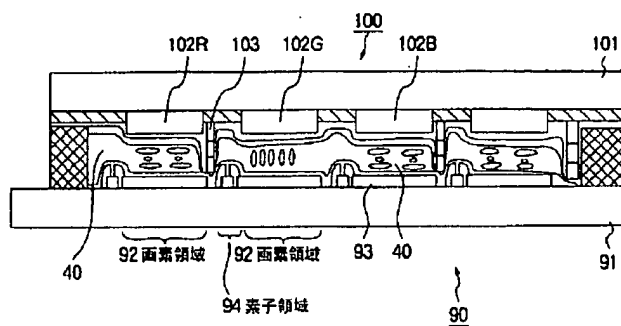
【図4】



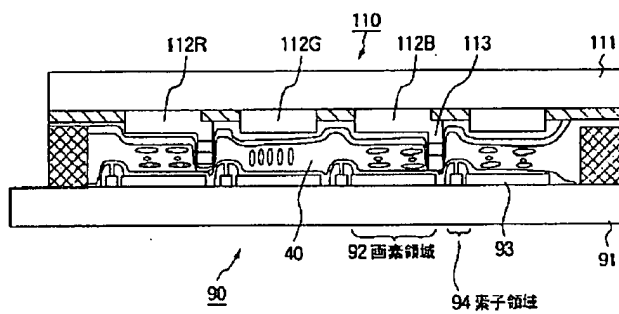
【図5】



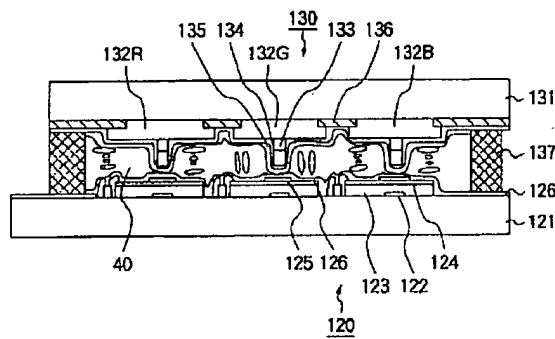
【図6】



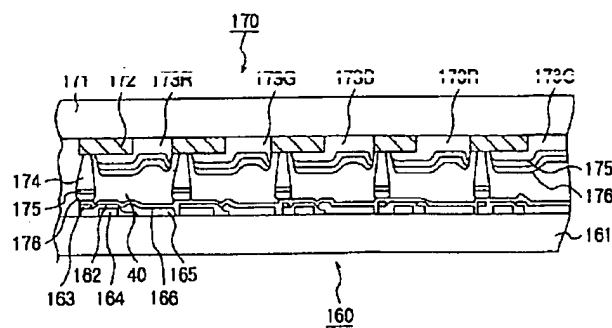
【図7】



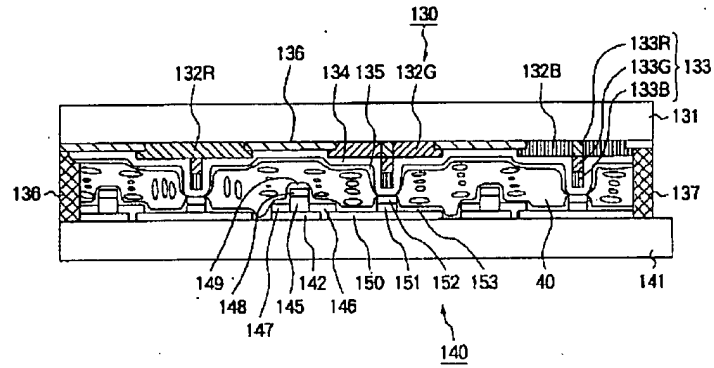
【図8】



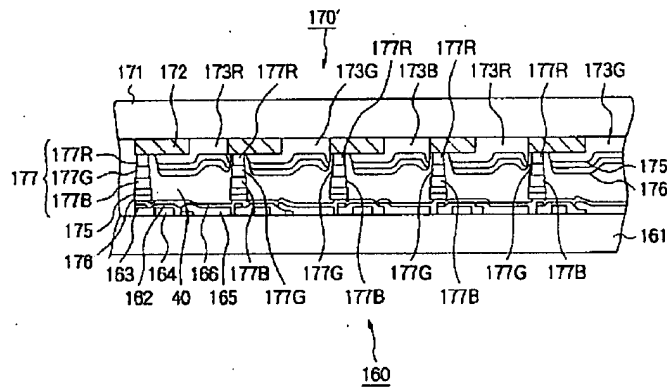
【図12】



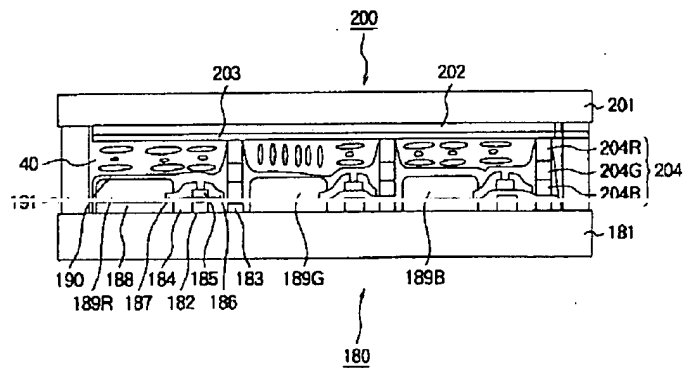
【図9】



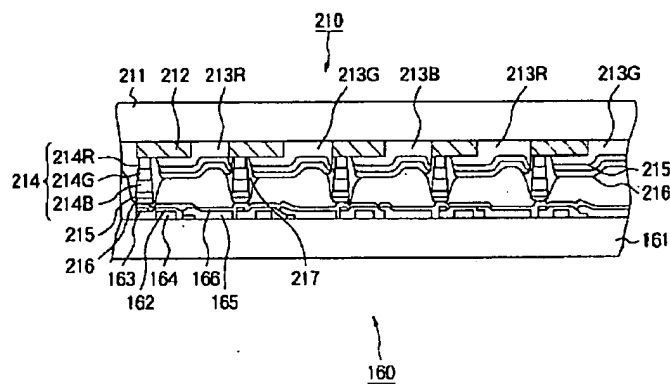
【図13】



【図16】



【図17】



フロントページの続き

(72)発明者 羽 藤 仁
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 秋 吉 宗 治
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 緑 川 輝 行
神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内